

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 7 月 21 日 (21.07.2005)

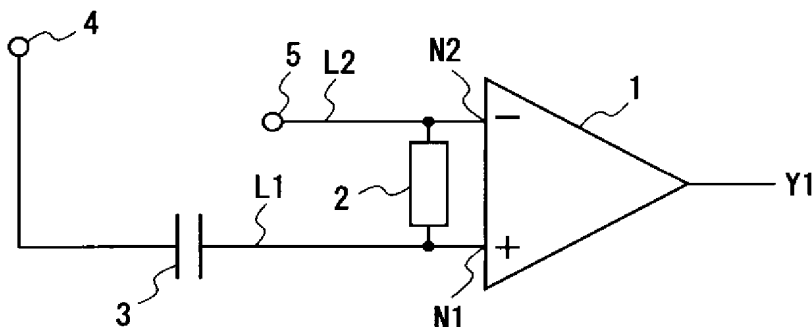
PCT

(10) 国際公開番号
WO 2005/066733 A1

- (51) 国際特許分類: G05F 1/10
- (21) 国際出願番号: PCT/JP2004/016644
- (22) 国際出願日: 2004 年 11 月 10 日 (10.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-434075
2003 年 12 月 26 日 (26.12.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 定行 英一 (SADAYUKI, Eiichi). 堀川 じゅん (HORIKAWA, Jun).
- (74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 4 番 3 0 号 ニッセイ新大阪ビル 1 3 階 早瀬特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprising a comparator (1) having two input terminals (N1, N2), one of which receives a power supply voltage and the other of which receives a reference voltage, for comparing their voltage values; a resistor element (2) connecting a signal line (L1) connected to the input terminal (N1) of the comparator (1) with a signal line (L2) connected to the input terminal (N2) of the comparator (1); a capacitor element (3) having one of its ends connected to a power supply terminal, which supplies the power

supply voltage, and also having the other end connected to the input terminal of the comparator (1). In this way, any abrupt variation of the power supply voltage can be detected independently of the power supply voltage value prior to the voltage variation.

(57) 要約: 本発明の半導体装置は、2つの入力端子 (N1), (N2) を有し、一方の入力端子に電源電圧を入力し、他方の入力端子に基準電圧を入力して電圧値を比較するコンパレータ (1) と、コンパレータ (1) の入力端子 (N1) に接続される信号線 (L1) とコンパレータ (1) の入力端子 (N2) に接続される信号線 (L2) とを接続する抵抗素子 (2) と、一端が電源電圧を印加する電源端子に、他端がコンパレータ (1) の1つの入力端子に接続された容量素子 (3) とを備える。これにより、電圧変動前の電源電圧値に依存することなく電源電圧の急激な変動を検知できる。

WO 2005/066733 A1

明 細 書

半導体装置

技術分野

[0001] 本発明は半導体装置に関するものであり、特に、電源電圧と基準電圧との電圧差の急激な変動を検出する電源電圧変動検知回路を備えた半導体装置に関する。

背景技術

[0002] 以下、電源電圧変動検知回路を備えた従来の半導体装置について図11を用いて説明する(特許文献1参照)。図11に示すように半導体装置は、電源端子101と接地端子102との間に、それぞれ2つの抵抗素子(抵抗素子103〜106)を備える。また、2入力コンパレータ107、108を備える。コンパレータ107は一方の入力端子から抵抗素子103及び104が分圧した電源電圧109を入力し、他方の入力端子から基準電圧110を入力する。同様に、コンパレータ108は一方の入力端子から抵抗素子105及び106が分圧した電源電圧111を入力し、他方の入力端子から基準電圧112を入力する。また、コンパレータ107の一方の入力端子とノード113とを接続する信号線と、電源端子115との間に容量素子117を備える。同様に、コンパレータ108の一方の入力端子とノード114とを接続する信号線と、電源端子116との間に容量素子118を備える。また、コンパレータ107、108の出力信号を演算する論理積回路119を備える。

[0003] 以上のように構成される半導体装置では、コンパレータ107が分圧された電源電圧109と基準電圧110とを入力して比較することで電源電圧の正側の変動を検知し、また、コンパレータ108が分圧された電源電圧111と基準電圧112とを入力して比較することで電源電圧の負側の変動を検知する。電源電圧が正側に変動したとき、その電圧の変動分が容量素子117で容量結合され、これにより、コンパレータ107の一方に入力される電源電圧も変動し、基準電圧より高くなる。コンパレータ107は、その電圧差を検知しその旨を示す信号を出力する。同様にして、電源電圧が負側に変動したときは、コンパレータ108が電圧差を検知しその旨を示す信号を出力する。コンパレータ107、108の出力信号は、論理積回路119で演算される。以上のような構成に

より、半導体装置は電源電圧変動を検知したことを示す論理信号を出力することができる。

- [0004] また、電源電圧変動検知回路を備えた従来の別の半導体装置について図12を用いて説明する(特許文献2参照)。この半導体装置では、電源電圧と接地電圧とを入力する2つのインバータ回路201、202を備え、1段目のインバータ回路201の出力と2段目のインバータ回路202の入力を、抵抗素子203と容量素子204とからなる積分遅延回路を介して接続し、さらに、2段目のインバータ回路202の出力と1段目のインバータ回路201の入力を接続する。これにより、電源電圧と接地電圧との電位差が急に変動したとき、予め記憶している初期値が反転し、電圧差の急激な増加及び降下を論理信号として出力することができる。

特許文献1:EP1160580A1(第5頁、FIG1)

特許文献2:特開平6-152358号公報(第7頁、第3図)

発明の開示

発明が解決しようとする課題

- [0005] ところが、上記従来の半導体装置では、急激な電源電圧変動の検知レベルが、電圧変動前の電圧値、すなわち、正常時の電源電圧値に依存するという問題があった。例えば、図11に示す半導体装置では、負側の電圧変動を検出する場合、変動前の電源電圧値が低いと、例えば、わずかなノイズによる小さな電圧変動でも異常と検知するので、半導体装置の動作に影響のない電圧変動を異常と検知する可能性があった。また、変動前の電源電圧が高いと比較的大きな電圧変動が発生しなければ異常と検知しない可能性があった。
- [0006] また、図12に示す半導体装置に関しても、電源電圧変動の検知レベルが電圧変動する前の電圧値に依存するため、図11に示す半導体装置と同様の問題があった。
- [0007] 以上のことから、従来の半導体装置では、電源電圧変動を検知する回路を設計する際に、電源電圧の変動の大きさだけでなく、変動前の電源電圧の値を考慮する必要があり、このため、設計上考慮すべきパラメータが多くなり、回路設計が困難になるという問題があった。

[0008] よって、本発明では、電源電圧の変動を検知する回路を備える半導体装置において、電圧変動前の電源電圧値に依存することなく電源電圧の急激な変動を検知できる半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明(請求項1)に係る半導体装置は、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、前記第1のコンパレータの、一方の入力ノードと他方の入力ノードとを接続する第1の抵抗素子と、一端が前記電源電圧を印加する電源端子に接続され、他端が前記第1のコンパレータの一方の入力ノードに接続される容量素子とを備え、前記第1のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号を活性化することを特徴とする。

[0010] また、本発明(請求項2)に係る半導体装置は、請求項1に記載の半導体装置において、前記第1のコンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることを特徴とする。

[0011] また、本発明(請求項3)に係る半導体装置は、請求項1に記載の半導体装置において、前記電源端子と接地との間に直列に配置され電源電圧を分圧する第2及び第3の抵抗素子と、2つの入力ノードを有し、前記第2及び第3の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較する第2のコンパレータと、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とをさらに備えたことを特徴とする。

[0012] また、本発明(請求項4)に係る半導体装置は、請求項1から請求項3のいずれかに記載の半導体装置において、前記第1のコンパレータまたは前記論理和回路の出力信号を入力し、前記第1のコンパレータまたは前記第2のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット部をさらに備えたことを特徴とする。

[0013] また、本発明(請求項5)に係る半導体装置は、請求項1から請求項3のいずれかに

記載の半導体装置において、前記第1のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切換える切換え部をさらに備えたことを特徴とする。

[0014] また、本発明(請求項6)に係る半導体装置は、請求項5に記載の半導体装置において、前記半導体装置の電源投入時に、前記切換え部を動作させる制御部をさらに備えたことを特徴とする。

[0015] また、本発明(請求項7)に係る半導体装置は、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1及び第2のコンパレータと、前記第1及び第2のコンパレータの、一方の入力ノードと他方の入力ノードとをそれぞれ接続する第1及び第2の抵抗素子と、一端が前記電源電圧を印加する電源端子にそれぞれ接続され、他端が前記第1及び第2のコンパレータのいずれか一方の入力ノードにそれぞれ接続される第1及び第2の容量素子と、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とを備え、前記第1及び第2のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号をそれぞれ活性化し、前記第1のコンパレータにおける電源電圧を入力する入力ノードの極性は、前記第2のコンパレータにおける電源電圧を入力する入力ノードの極性と逆であることを特徴とする。

[0016] また、本発明(請求項8)に係る半導体装置は、請求項7に記載の半導体装置において、前記第1及び第2のコンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることを特徴とする。これにより、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

[0017] また、本発明(請求項9)に係る半導体装置は、請求項7に記載の半導体装置において、前記電源端子と接地との間に直列に配置され電源電圧を分圧する第3及び第4の抵抗素子と、2つの入力ノードを有し、前記第3及び第4の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較し比較結果を示す信号を前記論理和回路に出力する第3のコンパレータとをさらに備えたことを特徴とする。

[0018] また、本発明(請求項10)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記論理和回路の出力信号を入力し、前記第1のコンパレータ、前記第2のコンパレータまたは前記第3のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるをリセット部をさらに備えたことを特徴とする。

[0019] また、本発明(請求項11)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記第1及び第2のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切換える切換え部を備えたことを特徴とする。

[0020] また、本発明(請求項12)に係る半導体装置は、請求項11に記載の半導体装置において、前記半導体装置の電源投入時に、前記切換え部を動作させる制御部を備えたことを特徴とする。

発明の効果

[0021] 上記課題を解決するために、本発明(請求項1)に係る半導体装置は、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、前記第1のコンパレータの、一方の入力ノードと他方の入力ノードとを接続する第1の抵抗素子と、一端が前記電源電圧を印加する電源端子に接続され、他端が前記第1のコンパレータの一方の入力ノードに接続される容量素子とを備え、前記第1のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号を活性化することから、電圧変動前の電源電圧値に依存することなく、電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。

[0022] また、本発明(請求項2)に係る半導体装置は、請求項1に記載の半導体装置において、前記第1のコンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

- [0023] また、本発明(請求項3)に係る半導体装置は、請求項1に記載の半導体装置において、前記電源端子と接地との間に直列に配置され電源電圧を分圧する第2及び第3の抵抗素子と、2つの入力ノードを有し、前記第2及び第3の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較する第2のコンパレータと、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とをさらに備えたことから、急激な電圧変動だけでなく、緩やかに変化する電圧変動も検知することができる。
- [0024] また、本発明(請求項4)に係る半導体装置は、請求項1から請求項3のいずれかに記載の半導体装置において、前記第1のコンパレータまたは前記論理和回路の出力信号を入力し、前記第1のコンパレータまたは前記第2のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット部をさらに備えたことから、外部からデータの改ざんや不正読み出し等の攻撃が、電源電圧を急激に変動させることにより行われたとしても、これを検知して自動的にリセットをかけて、この種の攻撃等に対抗することが可能となる。
- [0025] また、本発明(請求項5)に係る半導体装置は、請求項1から請求項3のいずれかに記載の半導体装置において、前記第1のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切替える切換え部をさらに備えたことから、コンパレータが正常に動作しているかを確認することができる。
- [0026] また、本発明(請求項7)に係る半導体装置は、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1及び第2のコンパレータと、前記第1及び第2のコンパレータの、一方の入力ノードと他方の入力ノードとをそれぞれ接続する第1及び第2の抵抗素子と、一端が前記電源電圧を印加する電源端子にそれぞれ接続され、他端が前記第1及び第2のコンパレータのいずれか一方の入力ノードにそれぞれ接続される第1及び第2の容量素子と、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とを備え、前記第1及び第2のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号をそれぞれ活性化し、前記第1のコンパレータにおけ

る電源電圧を入力する入力ノードの極性は、前記第2のコンパレータにおける電源電圧を入力する入力ノードの極性と逆であることから、電圧変動前の電源電圧値に依存することなく、正側及び負側の電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。

[0027] また、本発明(請求項8)に係る半導体装置は、請求項7に記載の半導体装置において、前記第1及び第2のコンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

[0028] また、本発明(請求項9)に係る半導体装置は、請求項7に記載の半導体装置において、前記電源端子と接地との間に直列に配置され電源電圧を分圧する第3及び第4の抵抗素子と、2つの入力ノードを有し、前記第3及び第4の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較し比較結果を示す信号を前記論理和回路に出力する第3のコンパレータとをさらに備えたことから、急激な電圧変動だけでなく、緩やかに変化する電圧変動も検知することができる。

[0029] また、本発明(請求項10)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記論理和回路の出力信号を入力し、前記第1のコンパレータ、前記第2のコンパレータまたは前記第3のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるをリセット部をさらに備えたことから、外部からデータの改ざんや不正読み出し等の攻撃が、電源電圧を急激に変動させることにより行われたとしても、これを検知して自動的にリセットをかけて、この種の攻撃等に対抗することが可能となる。

[0030] また、本発明(請求項11)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記第1及び第2のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切替える切換え部を備えたことから、コンパレータが正常に動作しているかを確認することができる。

図面の簡単な説明

[0031] [図1]図1は、本発明の実施の形態1に係る半導体装置の回路構成図である。

[図2]図2は、本発明の実施の形態1に係る半導体装置の動作を説明するためのタイミングチャート図である。

[図3]図3は、本発明の実施の形態2に係る半導体装置の回路構成図である。

[図4]図4は、本発明の実施の形態2に係る半導体装置の動作を説明するためのタイミングチャート図である。

[図5]図5は、本発明の実施の形態3に係る半導体装置の回路構成図である。

[図6]図6は、本発明の実施の形態3に係る半導体装置の動作を説明するためのタイミングチャート図である。

[図7]図7は、本発明の実施の形態4に係る半導体装置の回路構成図である。

[図8]図8は、本発明の実施の形態4に係る半導体装置の動作を示すタイミングチャート図である。

[図9]図9は、本発明の実施の形態5に係る半導体装置の回路構成図である。

[図10]図10は、本発明の実施の形態5に係る半導体装置の動作を説明するためのタイミングチャート図である。

[図11]図11は、電源電圧変動検知回路を有する従来の半導体装置の回路構成図である。

[図12]図12は、電源電圧変動検知回路を有する従来の半導体装置の回路構成図である。

符号の説明

- [0032] 1, 11 コンパレータ
2, 8, 12, 13 抵抗素子
3, 9 容量素子
4 電源端子
5 基準電圧の入力端子
6, 7 ヒステリシスコンパレータ
10, 14 論理和回路
15 切換え部

16 インバータ

17 Pチャネルトランジスタ

18 Nチャネルトランジスタ

19 制御部

IN1 任意の電源電圧の入力端子

N1, N2, N7, N8 コンパレータの入力端子

N3〜N6 ヒステリシスコンパレータの入力端子

Y1〜Y5 検知信号

101, 115, 116 電源端子

102 接地端子

103, 104, 105, 106, 203 抵抗素子

107, 108 コンパレータ

109, 111 分圧電圧

110, 112 基準電圧

113, 114 ノード

117, 118, 204 容量素子

119 論理積回路

201, 202 インバータ

205 入力線

206 出力線

207 電源電圧変動検出出力線

発明を実施するための最良の形態

[0033] 以下、本発明の実施の形態を、図面を参照しながら説明する。

[0034] (実施の形態1)

本発明の実施に形態1に係る半導体装置について図1及び図2を用いて説明する。図1は、本発明の実施の形態1に係る半導体装置の回路構成図である。図1に示す半導体装置は、コンパレータ1と、抵抗素子2と、容量素子3とを備える。コンパレータ1は、2つの入力端子(入力端子N1及びN2)を有し、基準電圧と電源電圧とを入

力して比較する。抵抗素子2は、コンパレータ1の入力端子N1に接続される信号線L1とコンパレータ1の入力端子N2に接続される信号線L2とを接続する。容量素子3は、一端が電源端子4に、他端がコンパレータ1の一方の入力端子(入力端子N1)に接続される。基準電圧の入力端子5は信号線L2を介してコンパレータ1の他方の入力端子(入力端子N2)に接続される。

[0035] なお、この図1において、入力端子N1(N2)およびこれに接続される信号線L1(L2)の両者を入力ノードと見なしてもよく、また、入力端子N1(N2)のみを入力ノードと見なしてもよい。従って、抵抗素子2を信号線L1, L2のいずれか一方のみを介してコンパレータ1の入力端子N1, N2間に接続してもよく、あるいは入力端子N1, N2間に直接接続してもよい。

[0036] 以上のように構成された半導体装置の動作について、図2を参照して説明する。図2は図1に示す半導体装置の動作を説明するためのタイミングチャート図である。この図2において、VDDは電源電圧、VREFは基準電圧、Y1はコンパレータ1の出力である検知信号を示す。

[0037] まず、時間t0に、電源端子4には電源電圧VDDが、基準電圧の入力端子5には基準電圧VREFが印加される。このとき、コンパレータ1の入力端子N1, N2に入力される電圧は抵抗素子2により等しくなる。

[0038] 次に、時間t1からt2の間に電源電圧VDDに正側の電圧変動が発生したとする。このとき、電圧の変動分が容量素子3で容量結合され、これにより、コンパレータ1の入力端子N1に入力される電圧も変動して基準電圧VREFより高い電圧となる。この電圧差がコンパレータ1により増幅されて検知信号Y1がロウレベルからハイレベルに遷移し、ハイレベルの検知信号Y1が出力される。このハイレベルの検知信号Y1は、リセット部(図示せず)に入力され、このリセット部が半導体装置を含むシステム全体(例えばLSI)の動作を停止させる。従って、この半導体装置に対し、外部からデータの改ざんや不正読み出し等の攻撃が、電源電圧を急激に変動させることにより行われたとしても、これを検知して自動的にリセットがかかることによりこの種の攻撃等に対抗することが可能となり、しかもその検出を、電源電圧変動前の電源電圧値に依存することなく行うことが可能となる。

[0039] 以上のように、実施の形態1に係る半導体装置によれば、以下に示す効果が得られる。すなわち、従来の半導体装置では、単に、抵抗素子により分圧した電源電圧と基準電圧とを比較しているので、電圧変動の検知レベルが変動前の電源電圧値に依存するが、本発明の実施に形態1に係る半導体装置では、基準電圧値と電源電圧値とを抵抗素子2により同じ値にした状態からの電圧変動を検知するので、電圧変動の検知レベルが電圧変動前の電源電圧値に依存しない。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路設計が容易になる。

[0040] なお、実施の形態1では、正側の電圧変動を検知する動作について説明したが、コンパレータ1の入力端子N1と入力端子N2の極性を逆に、すなわち、入力端子N1を逆相入力端子(以下、－端子と記す)に、入力端子N2を正相入力端子(以下、＋端子と記す)にすることで、負側の電圧変動を検知することができる。

[0041] (実施の形態2)

次に、本発明の実施の形態2に係る半導体装置について図3及び図4を用いて説明する。図3は、本発明の実施の形態2に係る半導体装置の回路構成図である。図3に示す半導体装置は、図1に示す半導体装置におけるコンパレータ1に代えて、ヒステリシスコンパレータ6を備えることを特徴とする。なお、図1に示す半導体装置と同様の構成要素については、同一符号を付し説明を省略する。

[0042] ヒステリシスコンパレータ6は2つの入力端子(入力端子N3及びN4)から入力する基準電圧と電源電圧との差が設定されたヒステリシス幅(電圧変動の大きさ)より大きくなった場合に、検知信号Y1をハイレベルにする。

[0043] 以上のように構成された半導体装置の動作について、図4を参照して説明する。図4は図3に示す半導体装置の動作を説明するためのタイミングチャート図である。

[0044] 図4において、まず、時間 t_0 に、電源端子4に電源電圧VDDが、基準電圧の入力端子5に基準電圧VREFが印加される。このとき、コンパレータ1の入力端子N3及びN4に入力される電圧は抵抗素子2により等しくなる。

[0045] 次に、時間 t_1 から t_2 の間に、電源電圧VDDに正側の電圧変動が発生したとする。この場合、電圧の変動分が容量素子3で容量結合され、これにより、ヒステリシスコンパレータ6に入力端子N3から入力される電圧も変動して基準電圧VREFより高い電

圧となる。しかしながら、ここでは、電圧差がヒステリシスコンパレータ6に設定されたヒステリシス幅より小さいため、ヒステリシスコンパレータ6は電圧差を増幅せず、その結果、検知信号Y1はロウレベルのままである。

[0046] 次に、時間 t_3 から t_4 の間に、電源電圧VDDにヒステリシスコンパレータ6に設定されたヒステリシス幅より大きな正側の電圧変動が発生したとする。この場合、電圧の変動分が容量素子3で容量結合され、これにより、ヒステリシスコンパレータ6の入力端子N3の電圧も変動して基準電圧VREFより高い電圧となる。そして、この電圧差がヒステリシスコンパレータ6により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。このハイレベルの検知信号Y1は、リセット部(図示せず)に入力され、このリセット部が半導体装置を含むシステム全体の動作を停止させる。

[0047] 以上のように、実施の形態2に係る半導体装置によれば、基準電圧値と電源電圧値を抵抗素子2により同じ値にした状態からの電圧変動をヒステリシスコンパレータ6にて検知するようにした。これにより、電圧変動前の電源電圧値に依存することなく、電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路設計が容易になる。さらに、ヒステリシスコンパレータ6に設定されたヒステリシス幅より小さい電圧変動が生じても検知信号Y1をハイレベルにしないことから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

[0048] なお、実施の形態2では、正側の電圧変動を検知する動作について説明したが、ヒステリシスコンパレータ6の入力端子N3と入力端子N4の極性を逆に、すなわち、入力端子N3を一端子に、入力端子N4を+端子にすることで、負側の電圧変動を検知することができる。

[0049] (実施の形態3)

次に、本発明の実施の形態3に係る半導体装置について図5及び図6を用いて説明する。図5は、本発明の実施の形態3に係る半導体装置の回路構成図であり、図3に示す半導体装置と同様の構成要素については、同一符号を付す。

[0050] 上記実施の形態1及び2に係る半導体装置は、正側または負側の一方の電圧変動しか検知できない。従って、実施の形態3に係る半導体装置は正側及び負側の電圧

変動を検知できる構成とする。

[0051] 図5に示す半導体装置は、ヒステリシスコンパレータ6及び7と、抵抗素子2及び8と、容量素子3及び9と、論理和回路10とを備える。ヒステリシスコンパレータ6は、2つの入力端子(入力端子N3及びN4)を有し、基準電圧と電源電圧とを入力して比較する。ヒステリシスコンパレータ7は、2つの入力端子(入力端子N5及びN6)を有し、基準電圧と電源電圧とを入力して比較する。ただし、電源電圧と基準電圧を入力する端子の極性をヒステリシスコンパレータ6とは逆にする。抵抗素子2は、ヒステリシスコンパレータ6の入力端子N3に接続される信号線L3とヒステリシスコンパレータ6の入力端子N4に接続される信号線L4とを接続する。抵抗素子8は、ヒステリシスコンパレータ7の入力端子N5に接続される信号線L5とヒステリシスコンパレータ7の入力端子N6に接続される信号線L6とを接続する。容量素子3は、一端が電源端子4に、他端がヒステリシスコンパレータ6の一方の入力端子(入力端子N3)に接続される。容量素子9は、一端が電源端子4に、他端がヒステリシスコンパレータ7の一方の入力端子(入力端子N5)に接続される。論理和回路10は、ヒステリシスコンパレータ6及び7が出力する検知信号Y1,Y2を論理和演算し、検知信号Y3を出力する。

[0052] 以上のように構成された半導体装置の動作について、図6を参照して説明する。図6は図5に示す半導体装置の動作を説明するためのタイミングチャート図である。

図6において、まず、時間 t_0 では、電源端子4に電源電圧VDDが、基準電圧の入力端子5に基準信号VREFが印加される。

[0053] 次に、時間 t_1 から t_2 の間に電源電圧VDDにヒステリシスコンパレータ6に設定されたヒステリシス幅より大きな電圧変動が発生したとする。この場合、電圧の変動分が容量素子3で容量結合され、これにより、ヒステリシスコンパレータ6の入力端子N3の電圧も変動して基準電圧VREFより高い電圧となる。この電圧差がヒステリシスコンパレータ6により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。そして、論理和回路10がハイレベルの検知信号Y3を出力する。このハイレベルの検知信号Y3はリセット部(図示せず)に入力され、前記リセット部が半導体装置を含むシステム全体の動作を時間 t_3 で停止させる。すなわち、時間 t_3 で電圧が0Vになる。

[0054] 次に、時間 t_4 で再び電源を立ち上げる。時間 t_4 では、電源端子4に電源電圧VD

Dが、基準電圧の入力端子に基準信号VREFが印加される。

[0055] 次に、時間t5からt6の間に電源電圧VDDにヒステリシスコンパレータ7に設定されたヒステリシス幅より大きな負側の電圧変動が起きた場合、電圧の変動分が容量素子9で容量結合され、これにより、ヒステリシスコンパレータ7の入力端子N5の電圧が基準電圧VREFより低い電圧となる。この電圧差がヒステリシスコンパレータ7により増幅され検知信号Y2がロウレベルからハイレベルに遷移する。そして、論理和回路10がハイレベルの検知信号Y3を出力する。このハイレベルの検知信号Y3は、リセット部(図示せず)に inputs され、このリセット部が半導体装置を含むシステム全体の動作を停止させる。

[0056] 以上のように、本発明の実施の形態3に係る半導体装置は、基準電圧値と電源電圧値を抵抗素子2、8により同じ値にした状態からの正側及び負側の両方の電圧変動をヒステリシスコンパレータ6、7にて検知するようにした。これにより、電圧変動前の電源電圧値に依存することなく、正側及び負側の電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。さらに、ヒステリシスコンパレータ6、7に設定されたヒステリシス幅より小さい正側及び負側の電圧変動が生じても検知信号Y3をハイレベルにしないことから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

[0057] なお、実施の形態3では、ヒステリシスコンパレータを備える場合について説明したが、ヒステリシスコンパレータに代えて、図1に示すような通常のコンパレータを用いることでも良い。

[0058] (実施の形態4)

次に、本発明の実施の形態4に係る半導体装置について図7及び図8を用いて説明する。図7は、本発明の実施の形態4に係る半導体装置の回路構成図である。図7に示す半導体装置は、図1に示す半導体装置に、抵抗素子12及び13と2つの入力端子を有するコンパレータ11とからなる電圧変動検知回路と、論理和回路14とをさらに備えるものである。

[0059] 抵抗素子12及び13は電源電圧を分圧する。コンパレータ11は一方の入力端子N

7から分圧された電源電圧を入力し、他方の入力端子N8から基準電圧を入力する。

[0060] 以上のように構成された半導体装置の動作について、図8を参照して説明する。図8は図7に示す半導体装置の動作を説明するためのタイミングチャート図である。

[0061] 図8において、時間 t_0 では、電源端子4に電源電圧VDDが、基準電圧の入力端子5に基準電圧VREFが印加される。

[0062] 次に、時間 t_1 から t_2 の間に電源電圧VDDに正側の電圧変動が起きたとすると、その電圧の変動分が容量素子3で容量結合され、これにより、コンパレータ1の入力端子N1に入力される電圧も変動して基準電圧VREFより高い電圧となる。この電圧差がコンパレータ1により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。これにより論理和回路14からハイレベルの検知信号Y5が出力される。ハイレベルの検知信号Y5はリセット部(図示せず)に inputs され、前記リセット部が半導体装置を含むシステム全体の動作を時間 t_3 で停止させる。すなわち、時間 t_3 で電圧が0Vになる。一方、コンパレータ11の入力端子N7に入力される電圧は、抵抗素子12及び13により分圧されているため、時間 t_1 から t_2 の急激な電圧変動をコンパレータ11で検知することはできない。

[0063] 次に、 t_4 で再び電源を立ち上げる。電源端子4に電源電圧VDDが、基準電圧の入力端子5に基準電圧VREFが印加される。

[0064] 次に、時間 t_4 から t_5 の間に、電源電圧VDDが徐々に上昇したとすると、抵抗素子12及び13により分圧された電源電圧も上昇し、基準電圧VREFより高い電圧となる。この電圧差がコンパレータ11により増幅され検知信号Y4がロウレベルからハイレベルに遷移する。これにより、論理和回路14からハイレベルの検知信号Y5が出力され、前記リセット部に inputs される。なお、コンパレータ1に inputs される電源電圧と基準電圧とは、抵抗素子2で同じ電圧値にされるため、コンパレータ1は、時間 t_4 から t_5 で生じるような緩やかな電圧変動を検知することはできない。

[0065] 以上のように、実施の形態4に係る半導体装置によれば、基準電圧値と電源電圧値とを抵抗素子2により同じ値にした状態からの電圧変動を検知するので、電圧変動前の電源電圧値に依存することなく、急激な電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路

の設計が容易になる。さらに、電源電圧を分圧する抵抗素子12及び13と、前記分圧電圧と基準電圧とを比較するコンパレータ11とを備えたことで、緩やかな電圧変動も検知することができる。

[0066] なお、実施の形態4では、コンパレータ11と、抵抗素子12及び13とからなる電圧変動検知回路を、実施の形態1に係る半導体装置に追加する場合について説明したが、本発明はこれに限るものではなく、前記電圧変動検知回路を、実施の形態2または3に係る半導体装置に備えるようにしても良い。

[0067] また、負側の電圧変動を検知する場合には、コンパレータ1及び11の入力端子N1、N2及び入力端子N7、N8の極性をそれぞれ逆にすれば良い。

[0068] (実施の形態5)

次に、実施の形態5に係る半導体装置について図9及び図10を用いて説明する。図9は本発明の実施の形態5に係る半導体装置の回路構成図である。図9に示す半導体装置は、図1に示す実施の形態1に係る半導体装置に、切換え部15と制御部19とを追加したことを特徴とする。

[0069] 切換え部15は、インバータ16と、Pチャンネルトランジスタ17と、Nチャンネルトランジスタ18とを備える。インバータ16の出力はPチャンネルトランジスタ17のゲートに接続されている。Pチャンネルトランジスタ17及びNチャンネルトランジスタ18のソースは入力IN1に接続されており、ドレインはコンパレータ1の入力端子N1に接続されている。以上のように構成される切換え部15は、コンパレータ1の入力端子N1に入力される電源電圧値を任意の値、すなわち入力端子IN1に入力される任意の電源電圧レベルに切換える。

[0070] 制御部19はテスト(TEST)信号をハイにして、切換え部15を動作させるとともに、コンパレータ1の検知信号Y1を入力して該信号が活性化しているかを検知する。

[0071] 例えば、制御部19は、半導体装置の電源が投入されるたびにTEST信号をハイにし、切換え部15が入力端子N1に入力される電圧値を基準電圧値より高くする。このとき、コンパレータ1が電圧差を検知して、ハイレベルの検知信号Y1を出力したかを制御部19で検知する。

[0072] このような構成とすることで、コンパレータ1が正常に動作しているかを確認できる。

以上のように構成される半導体装置の動作について図10を用いて説明する。図10は図9に示す半導体装置の動作を説明するためのタイミングチャート図である。

- [0073] まず、時間 t_0 では、電源端子4に電源電圧VDDが、基準電圧の入力端子5に基準電圧VREFが印加される。このとき、コンパレータ1の入力端子N1及びN2に入力される電圧は抵抗素子2により等しくなる。
- [0074] 次に、時間 t_1 にて、制御部19が切換え部15に入力されるテスト信号をロウレベルからハイレベルに立ち上げると、Pチャネルトランジスタ17及びNチャネルトランジスタ18がONし、入力端子IN1に入力される任意の電圧(以下、任意の電圧IN1と記す)、すなわち、基準電圧VREFより高い電圧がコンパレータ1の入力端子N1に入力される。このとき、コンパレータ1が正常に動作しているのであれば、基準電圧VREFと任意の電圧IN1との電圧差がコンパレータ1により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。入力端子N1の電圧が基準電圧VREFより高い電圧となることに伴い、検知信号Y1がハイレベルになったかは、制御部19が検知信号Y1を入力して確認する。
- [0075] 以上のように、本実施の形態5に係る半導体装置は、コンパレータにおける電源電圧VDDを入力する端子(入力端子N1)に、任意の電圧を入力する切換え部15を備えたことにより、コンパレータが正常に動作しているか否かを検査することができる。
- [0076] なお、実施の形態5では、切換え部15により入力端子N1に入力される電圧を基準電圧より高い電圧に切換える場合について説明したが、本発明はこれに限るものではなく、入力端子N1を一端子、入力端子N2を+端子にして、入力端子N1に入力される電圧を基準電圧より低い電圧に切換えるようにしても良い。
- [0077] また、実施の形態5では、半導体装置内の制御部19が、TEST信号をハイにして、切換え部15を動作させるとともに、コンパレータ1の検知信号Y1を入力して該信号が活性化しているかを検知する場合について説明したが、本発明はこれに限るものではなく、外部装置が切換え部15を制御し、コンパレータ1の検知信号Y1を入力して該信号が活性化しているかを検知するようにしても良い。
- [0078] また、実施の形態5では、実施の形態1に係る半導体装置に対し切換え部15、制御部19を追加する場合について説明したが、本発明はこれに限るものではなく、実

施の形態2〜4で説明した半導体装置に、切換え部15、制御部19を追加するようにしても良い。その場合には、各コンパレータの一方の端子に入力する電源電圧の値を切換え部15により任意の電圧値に切り換える。

- [0079] さらに、上記実施の形態2〜4では、抵抗素子はコンパレータの2つの入力端子に接続された2つの信号線を接続するものとしたが、これは2つの信号線のいずれか一方のみを介してコンパレータの2つの入力端子を接続してもよく、あるいは2つの入力端子を直接接続するようにしても良い。

産業上の利用可能性

- [0080] 本発明に係る半導体装置は、電源電圧と接地電圧との電位差の急激な変動を検出できるため、半導体装置に対する外部からのデータ改ざんや不正読み出し等の攻撃に対抗できるLSIに用いて好適である。

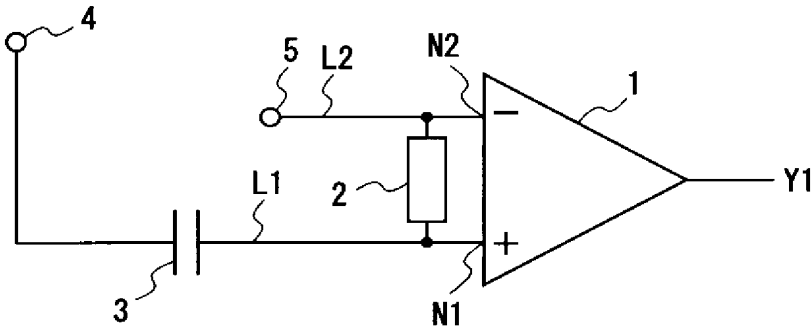
請求の範囲

- [1] それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、
- 前記第1のコンパレータの、一方の入力ノードと他方の入力ノードとを接続する第1の抵抗素子と、
- 一端が前記電源電圧を印加する電源端子に接続され、他端が前記第1のコンパレータの一方の入力ノードに接続される容量素子とを備え、
- 前記第1のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号を活性化する、
- ことを特徴とする半導体装置。
- [2] 請求項1に記載の半導体装置において、
- 前記第1のコンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータである、
- ことを特徴とする半導体装置。
- [3] 請求項1に記載の半導体装置において、
- 前記電源端子と接地との間に直列に配置され電源電圧を分圧する第2及び第3の抵抗素子と、
- 2つの入力ノードを有し、前記第2及び第3の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較する第2のコンパレータと、
- 前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とをさらに備えた、
- ことを特徴とする半導体装置。
- [4] 請求項1から請求項3のいずれかに記載の半導体装置において、
- 前記第1のコンパレータまたは前記論理和回路の出力信号を入力し、前記第1のコンパレータまたは前記第2のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット部をさらに備えた、

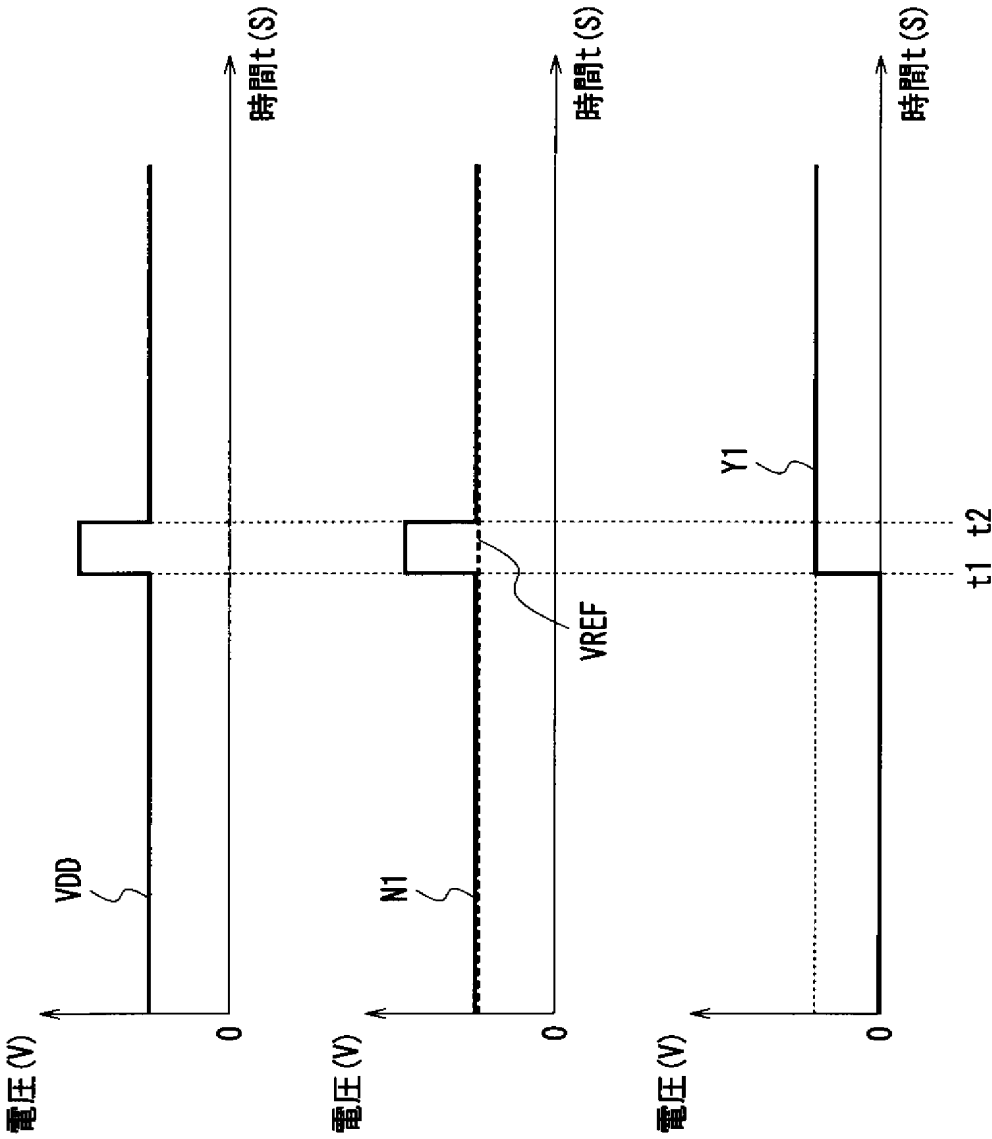
- ことを特徴とする半導体装置。
- [5] 請求項1から請求項3のいずれかに記載の半導体装置において、
前記第1のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を
任意の値に切換える切換え部をさらに備えた、
ことを特徴とする半導体装置。
- [6] 請求項5に記載の半導体装置において、
前記半導体装置の電源投入時に、前記切換え部を動作させる制御部をさらに備え
た、
ことを特徴とする半導体装置。
- [7] それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力し
てそれぞれの電圧値を比較して比較結果を示す信号を出力する第1及び第2のコン
パレータと、
前記第1及び第2のコンパレータの、一方の入力ノードと他方の入力ノードとをそれ
ぞれ接続する第1及び第2の抵抗素子と、
一端が前記電源電圧を印加する電源端子にそれぞれ接続され、他端が前記第1
及び第2のコンパレータのいずれか一方の入力ノードにそれぞれ接続される第1及び
第2の容量素子と、
前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理
和演算する論理和回路とを備え、
前記第1及び第2のコンパレータは、前記基準電圧と前記電源電圧との電圧差が
変動したときに、前記比較結果を示す出力信号をそれぞれ活性化し、
前記第1のコンパレータにおける電源電圧を入力する入力ノードの極性は、前記第
2のコンパレータにおける電源電圧を入力する入力ノードの極性と逆である、
ことを特徴とする半導体装置。
- [8] 請求項7に記載の半導体装置において、
前記第1及び第2のコンパレータは、前記基準電圧と前記電源電圧との電圧差が
予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号
を活性化するヒステリシスコンパレータである、

- ことを特徴とする半導体装置。
- [9] 請求項7に記載の半導体装置において、
前記電源端子と接地との間に直列に配置され電源電圧を分圧する第3及び第4の抵抗素子と、
2つの入力ノードを有し、前記第3及び第4の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較し比較結果を示す信号を前記論理和回路に出力する第3のコンパレータとをさらに備えた、
ことを特徴とする半導体装置。
- [10] 請求項7から請求項9のいずれかに記載の半導体装置において、
前記論理和回路の出力信号を入力し、前記第1のコンパレータ、前記第2のコンパレータまたは前記第3のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるをリセット部をさらに備えた、
ことを特徴とする半導体装置。
- [11] 請求項7から請求項9のいずれかに記載の半導体装置において、
前記第1及び第2のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切換える切換え部を備えた、
ことを特徴とする半導体装置。
- [12] 請求項11に記載の半導体装置において、
前記半導体装置の電源投入時に、前記切換え部を動作させる制御部を備えた、
ことを特徴とする半導体装置。

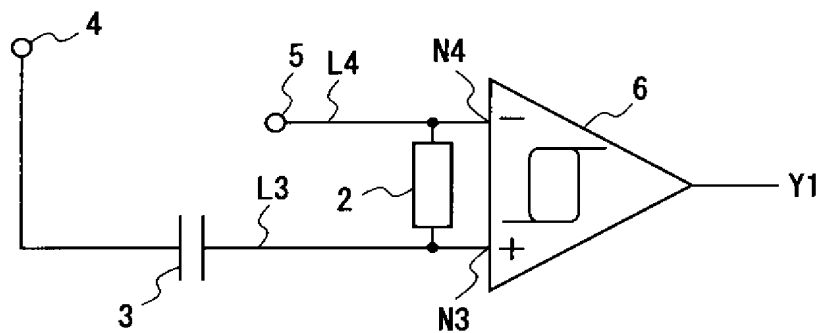
[図1]



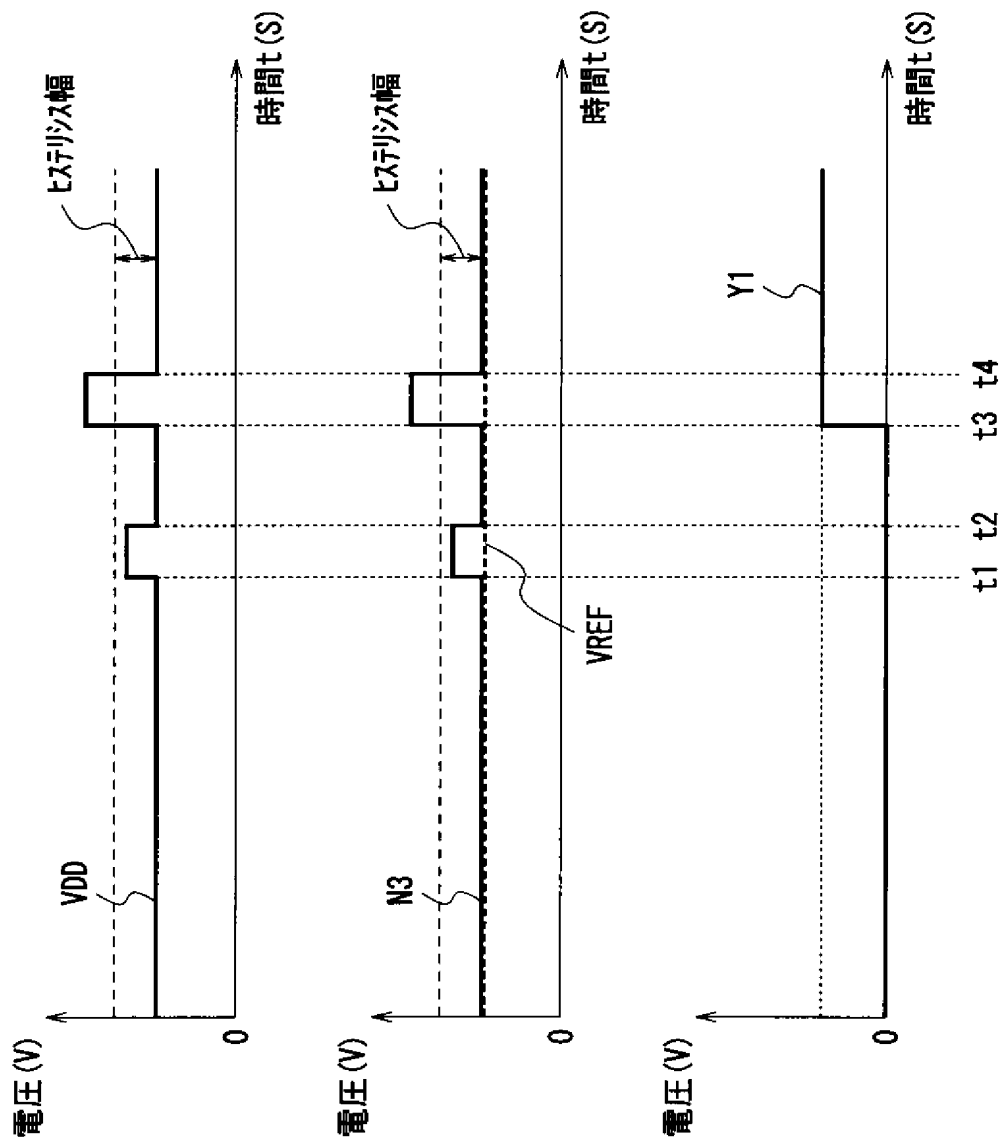
[図2]



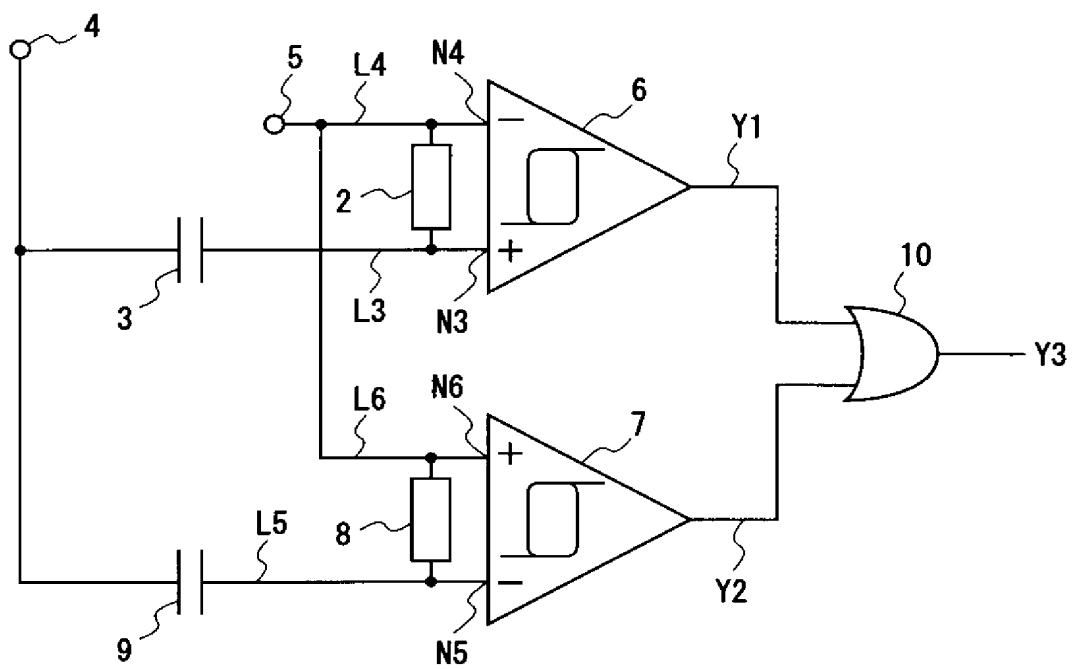
[図3]



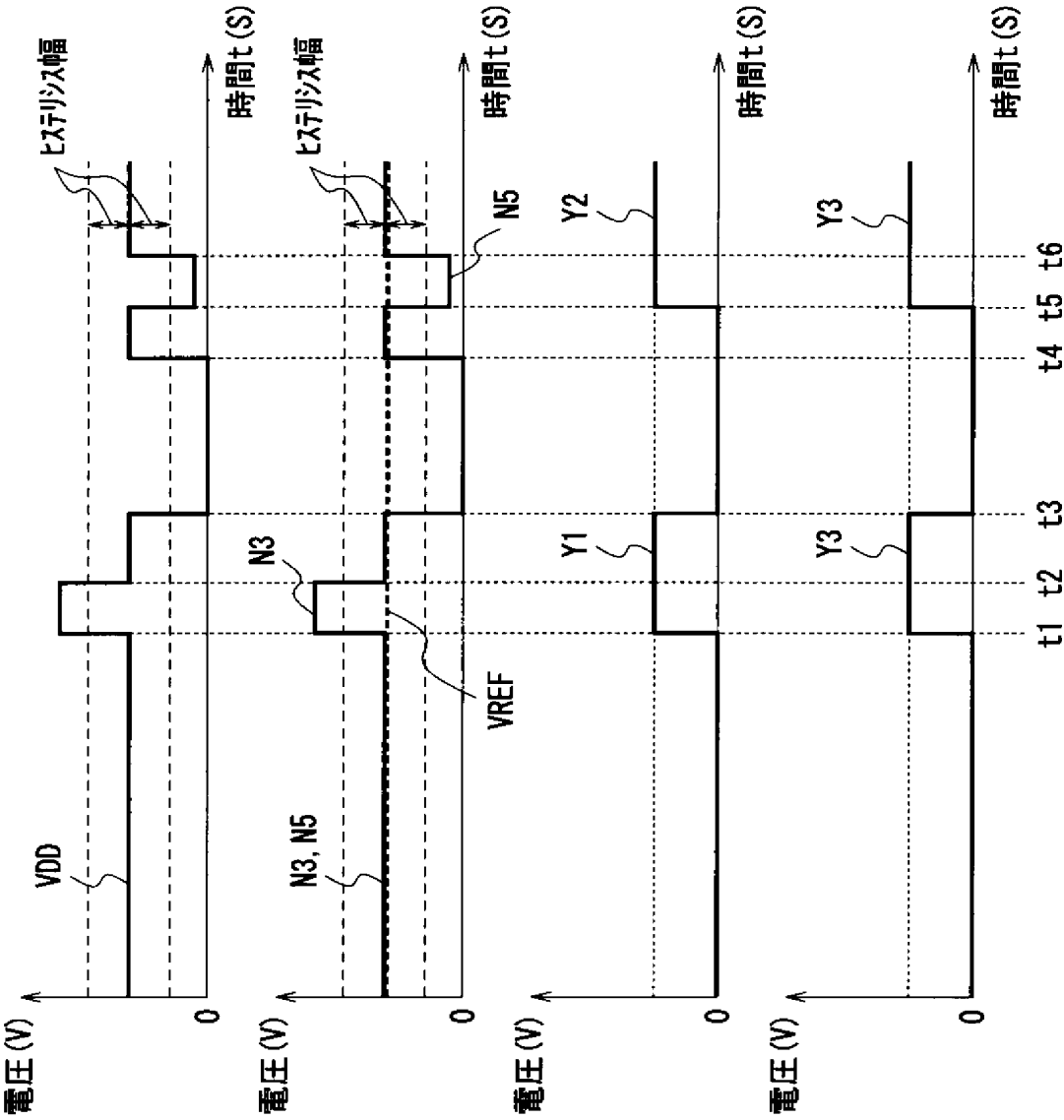
[図4]



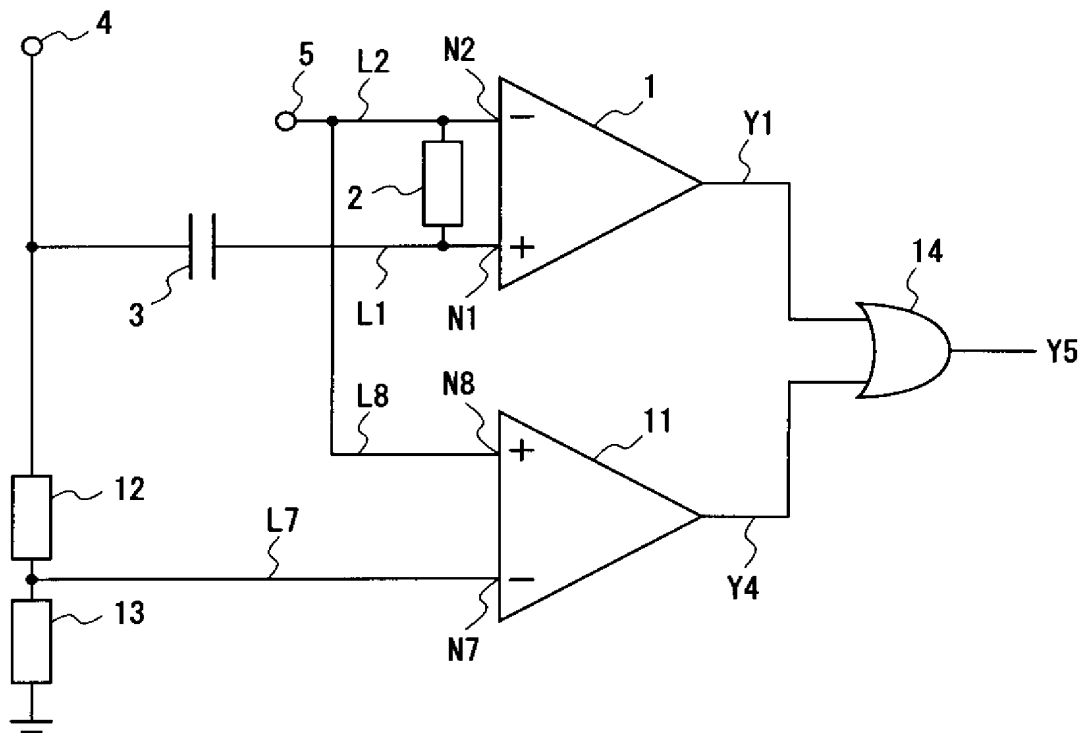
[図5]



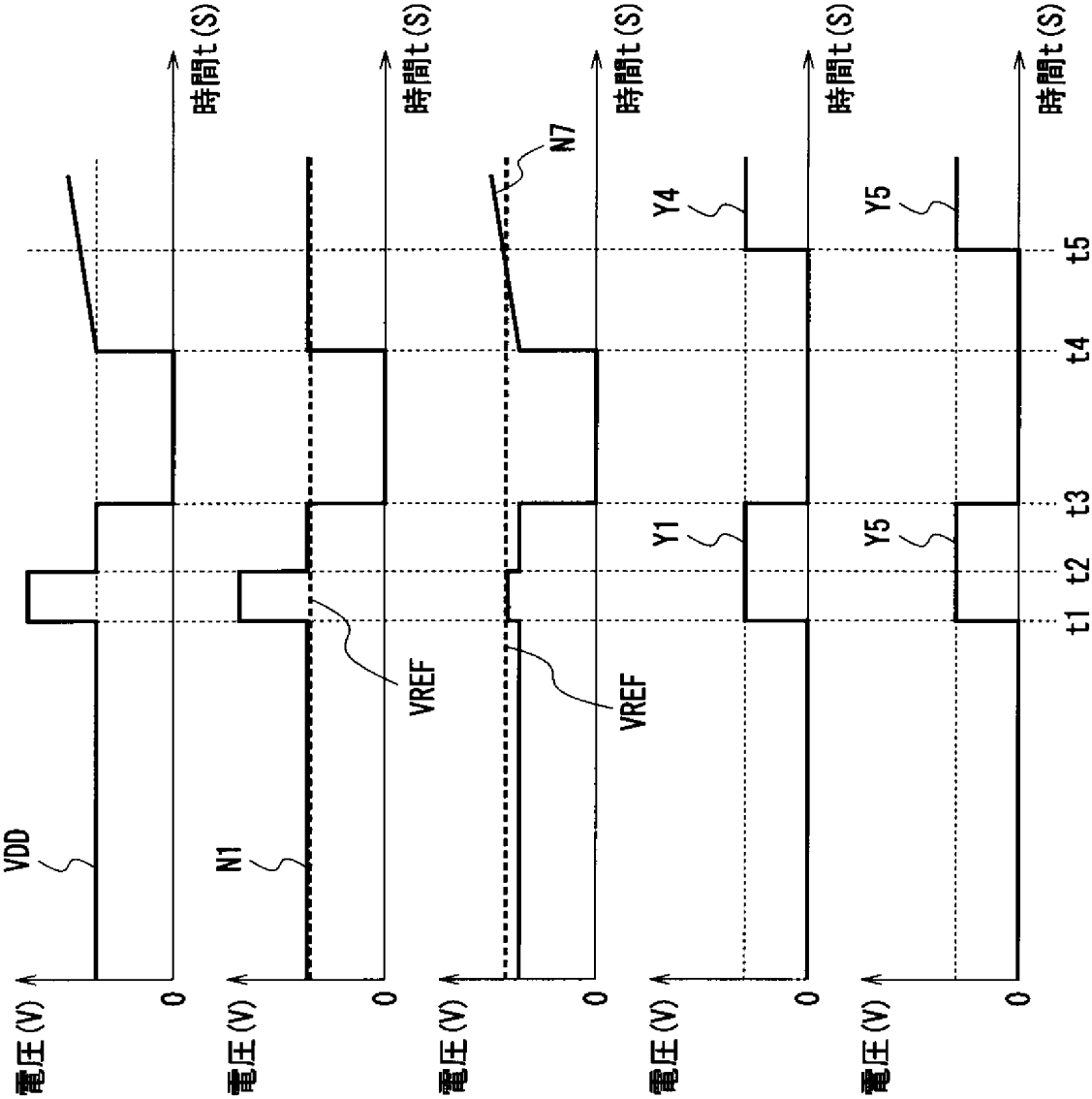
[図6]



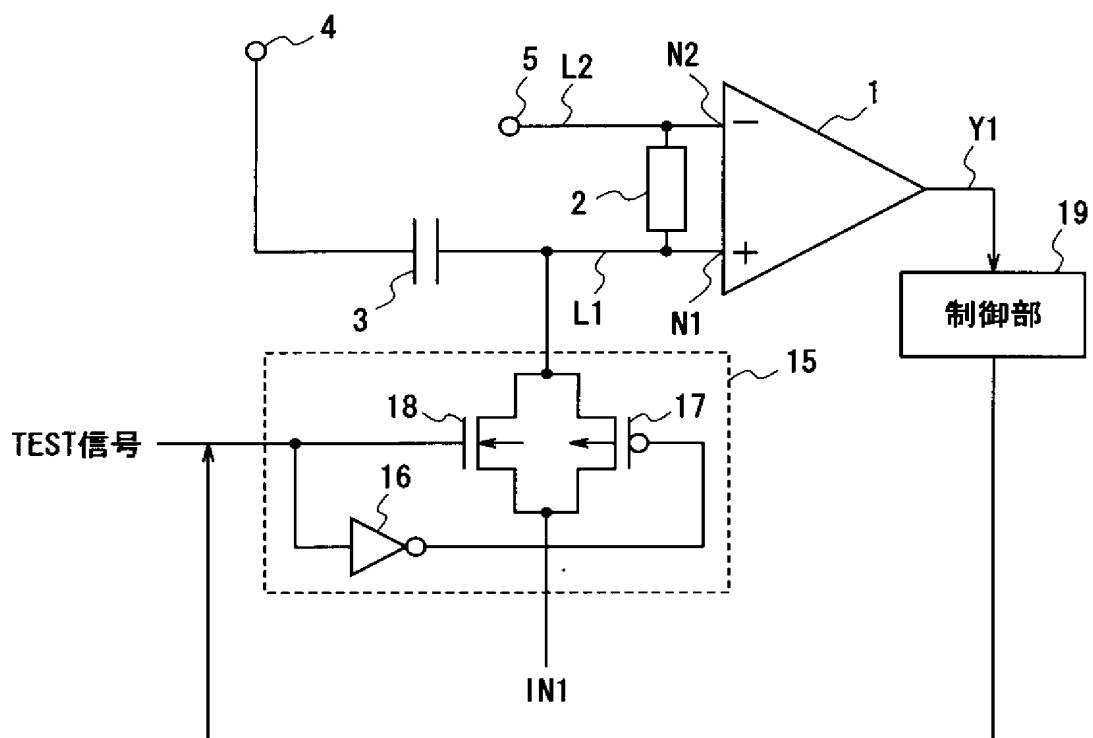
[図7]



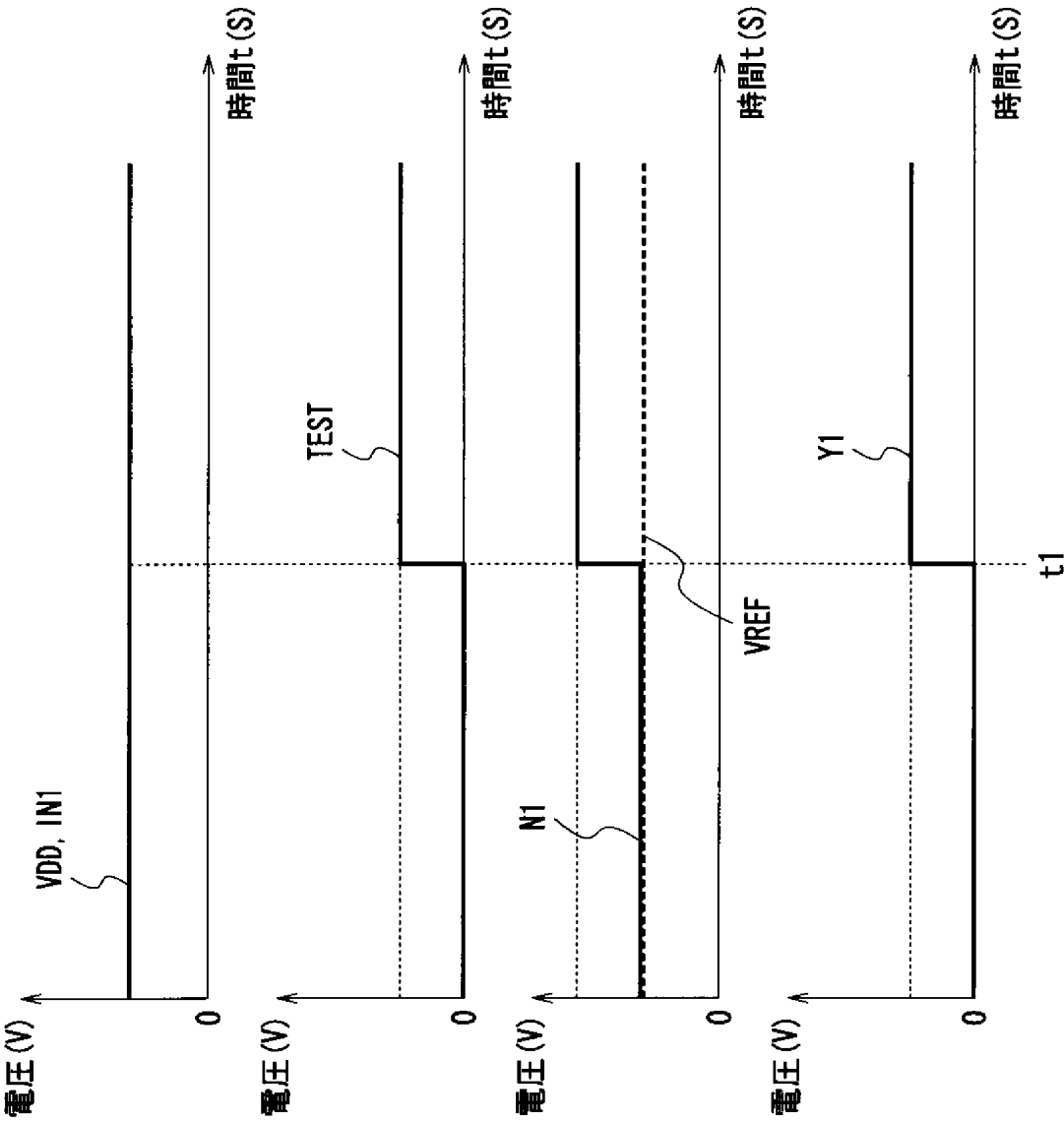
[図8]



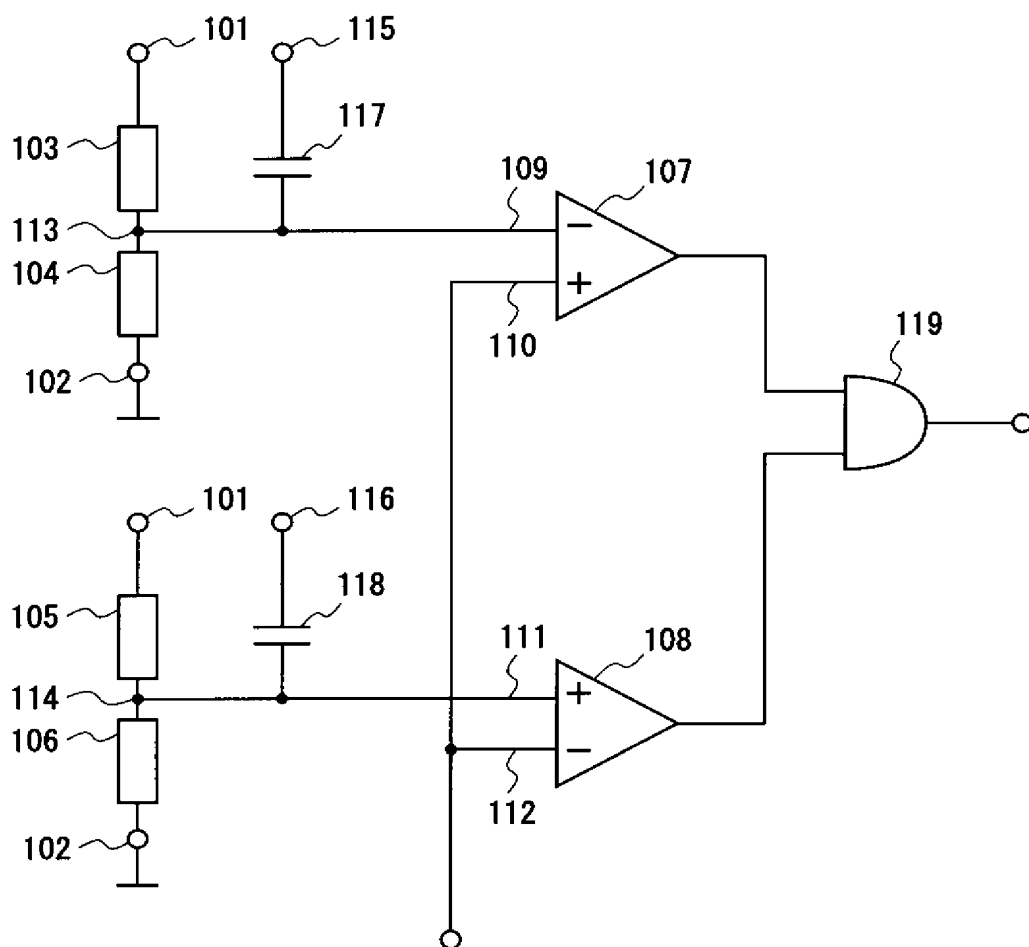
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016644

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G05F1/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 10-105258 A (Yamaha Corp.), 24 April, 1998 (24.04.98), Par. Nos. [0009] to [0011] & US 5886565 A	1, 2, 5, 6 3, 4, 7-12
Y	JP 2003-185692 A (Kabushiki Kaisha NEF), 03 July, 2003 (03.07.03), Fig. 1; Par. No. [0023] (Family: none)	3, 4, 7-12
Y	JP 2002-251301 A (Toyota Motor Corp.), 06 September, 2002 (06.09.02), Fig. 1; Par. No. [0022] (Family: none)	4, 10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 February, 2005 (10.02.05)

Date of mailing of the international search report
01 March, 2005 (01.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016644

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-79901 A (Toshiba Corp.), 22 March, 1996 (22.03.96), Fig. 3 (Family: none)	9

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl ⁷ G05F1/10			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl ⁷ G05F1/10			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国登録実用新案公報 1994-2005年 日本国実用新案登録公報 1996-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y	J P 10-105258 A (ヤマハ株式会社) 24. 04. 1998, 図1, 段落【0009】 - 【0011】, & US 5886565 A	1, 2, 5, 6 3, 4, 7-12	
Y	J P 2003-185692 A (株式会社エヌ・イー・エフ) 03. 07. 2003, 図1, 段落【0023】 (ファミリーなし)	3, 4, 7-12	
<input checked="" type="checkbox"/> C欄の続きにも文献が列举されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 10. 02. 2005		国際調査報告の発送日 01. 3. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 米山 毅	3 V 9 3 2 4
		電話番号 03-3581-1101 内線 3356	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-251301 A (トヨタ自動車株式会社) 06.09.2002, 図1, 段落【0022】, (ファミリーなし)	4, 10
Y	J P 8-79901 A (株式会社東芝) 22.03.1996, 図3, (ファミリーなし)	9